

Docket No.: 60188-685

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Osamu MATSUI, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 23, 2002	:	Examiner:
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. JP 2002-309319, filed on October 24, 2002.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:gav  
Facsimile: (202) 756-8087  
**Date: October 23, 2003**

60188-685

Osamu MATSUI, et al.

October 23, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月24日

出 願 番 号  
Application Number:

特願2002-309319

[ST.10/C]:

[JP2002-309319]

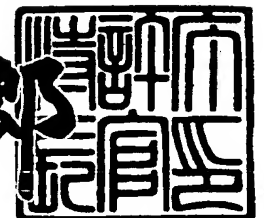
出 願 人  
Applicant(s):

松下電器産業株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035167

【書類名】 特許願

【整理番号】 2924040052

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78  
H01L 21/336

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式  
会社内

【氏名】 松井 靖

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式  
会社内

【氏名】 佐藤 嘉展

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 支持基板上の埋込酸化膜の上に形成された低濃度一導電型の S O I 層と、

前記 S O I 層の所定領域を包囲して絶縁分離された第 1 の S O I 領域内に前記 S O I 層の表面から前記埋込酸化膜の近傍まで深く形成された一導電型の第 1 のボディ領域と、

前記第 1 のボディ領域内の表面に形成された逆導電型の第 1 のソース領域と、

前記 S O I 層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記 S O I 層の表面および底部近傍まで広がるように、前記第 1 の S O I 領域内における前記第 1 のボディ領域に隣接した位置に形成された逆導電型の第 1 のドレインオフセット領域と、

前記第 1 のドレインオフセット領域内の表面に形成された逆導電型の第 1 のドレインコンタクト領域と、

前記第 1 の S O I 領域上における前記第 1 のソース領域と、前記第 1 のドレインコンタクト領域との間の前記第 1 のソース領域寄りに形成された第 1 のゲート電極とを備えた半導体装置。

【請求項 2】 支持基板上の埋込酸化膜の上に形成された低濃度一導電型の S O I 層と、

前記 S O I 層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記 S O I 層の表面および底部近傍まで広がるように、前記 S O I 層の所定領域を包囲して絶縁分離された第 2 の S O I 領域内に形成された逆導電型の第 2 のボディ領域と、

前記第 2 のボディ領域内の表面に形成された一導電型の第 2 のソース領域と、

前記第 2 の S O I 領域内における第 2 のボディ領域と離間した位置に形成された一導電型の第 2 のドレインオフセット領域と、

前記第 2 のドレインオフセット領域内の表面に形成された一導電型の第 2 のドレインコンタクト領域と、

前記第2のSOI領域内における前記第2のソース領域と前記第2のドレインコンタクト領域との間の表面に形成されたフィールド酸化膜と、

前記第2のソース領域と連なり、かつ前記フィールド酸化膜の直下まで延在されて前記第2のボディ領域内に形成された第3のソース領域と、

前記第3のソース領域と前記ドレインオフセット領域との間に位置する前記ボディ領域上のフィールド酸化膜の上に形成された第2のゲート電極とを備えた半導体装置。

【請求項3】 支持基板とSOI層とが埋込酸化膜を介して一体的に接合されたSOI基板の上に、第1導電型と第2導電型との一对のトランジスタが形成されている半導体装置において、

前記第1導電型のトランジスタは、

前記SOI層の所定領域を包囲して絶縁分離された第1のSOI領域内に前記SOI層の表面から前記埋込酸化膜の近傍まで深く形成された一導電型の第1のボディ領域と、

前記第1のボディ領域内の表面に形成された逆導電型の第1のソース領域と、

前記SOI層の厚み方向の中央部が最大の不純物濃度となり、拡散広がりが前記SOI層の表面および底部近傍まで広がるように、前記第1のSOI領域内における前記第1のボディ領域に隣接した位置に形成された逆導電型の第1のドレインオフセット領域と、

前記第1のドレインオフセット領域内の表面に形成された逆導電型の第1のドレインコンタクト領域と、

前記第1のSOI領域上における前記第1のソース領域と、前記第1のドレインコンタクト領域との間の前記第1のソース領域寄りに形成された第1のゲート電極とを備えており、

前記第2導電型のトランジスタは、

前記SOI層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記SOI層の表面および底部近傍まで広がるように、前記SOI層の所定領域を包囲して絶縁分離された第2のSOI領域内に形成された逆導電型の第2のボディ領域と、

前記第 2 のボディ領域内の表面に形成された一導電型の第 2 のソース領域と、  
前記第 2 の S O I 領域内における第 2 のボディ領域と離間した位置に形成された一導電型の第 2 のドレインオフセット領域と、  
前記第 2 のドレインオフセット領域内の表面に形成された一導電型の第 2 のドレインコンタクト領域と、  
前記第 2 の S O I 領域内における前記第 2 のソース領域と前記第 2 のドレインコンタクト領域との間の表面に形成されたフィールド酸化膜と、  
前記第 2 のソース領域と連なり、かつ前記フィールド酸化膜の直下まで延在されて前記第 2 のボディ領域内に形成された第 3 のソース領域と、  
前記第 3 のソース領域と前記ドレインオフセット領域との間に位置する前記ボディ領域の上に位置するフィールド酸化膜上に形成された第 2 のゲート電極とを備えている半導体装置。

【請求項 4】 S O I 基板上に第 1 導電型のトランジスタを形成する製造方法であって、

前記 S O I 基板における低濃度一導電型の S O I 層の所定領域を包囲するように絶縁分離して第 1 の S O I 領域を形成する第 1 の工程と、

前記第 1 の S O I 領域内における所定領域の表面に第 1 のボディ領域形成用の一導電型不純物をイオン注入で導入する第 2 の工程と、

前記第 1 の S O I 領域内における前記第 1 のボディ領域から離間した所定領域に第 1 のドレインオフセット領域形成用の逆導電型不純物を、高エネルギー注入により前記 S O I 層の厚み方向の中央部に導入する第 3 の工程と、

次に、前記 S O I 基板に加熱処理を行って、一導電型の第 1 のボディ領域を前記 S O I 層の表面から前記埋込酸化膜に達するように深く形成する一方、高エネルギー注入した前記逆導電型不純物を前記 S O I 層の厚み方向の中央部が最大の不純物濃度となり前記 S O I 層の表面および底部近傍まで広がらせて逆導電型の第 1 のドレインオフセット領域を形成する第 4 の工程と  
を少なくとも含む半導体装置の製造方法。

【請求項 5】 S O I 基板上に第 2 導電型のトランジスタを形成する製造方法であって、

前記 S O I 基板における低濃度一導電型の S O I 層の所定領域を包囲するように絶縁分離して第 2 の S O I 領域を形成する第 1 の工程と、

前記第 2 の S O I 領域内における所定領域の表面に第 2 のドレインオフセット領域形成用の一導電型不純物をイオン注入で導入する第 2 の工程と、

前記第 2 の S O I 領域内における前記第 2 のドレインオフセット領域から離間した所定領域に第 2 のボディ領域形成用の逆導電型不純物を、高エネルギー注入により前記 S O I 層の厚み方向の中央部に導入する第 3 の工程と、

次に、前記 S O I 基板に加熱処理を行って、前記第 2 のドレインオフセット領域を前記 S O I 層の表面から前記埋込酸化膜に達するように深く形成する一方、高エネルギー注入した前記逆導電型不純物を前記 S O I 層の厚み方向の中央部が最大の不純物濃度となり前記 S O I 層の表面および底部近傍まで広がらせて逆導電型の第 2 のボディ領域を形成する第 4 の工程と  
を少なくとも含む半導体装置の製造方法。

【請求項 6】 S O I 基板上に第 1 導電型および第 2 導電型のトランジスタを形成する製造方法であって、

前記 S O I 基板における低濃度一導電型の S O I 層の所定領域をそれぞれ包囲するように絶縁分離して第 1 の S O I 領域および第 2 の S O I 領域を形成する第 1 の工程と、

前記第 1 の S O I 領域内における所定領域の表面に第 1 のボディ領域形成用の一導電型不純物を、前記第 2 の S O I 領域内における所定領域の表面に第 2 のドレインオフセット領域形成用の一導電型不純物を、それぞれイオン注入で導入する第 2 の工程と、

前記第 1 の S O I 領域内における前記第 1 のボディ領域から離間した所定領域に第 1 のドレインオフセット領域形成用の逆導電型不純物を、第 2 の S O I 領域内における前記第 2 のドレインオフセット領域から離間した所定領域に第 2 のボディ領域形成用の逆導電型不純物を、それぞれ高エネルギー注入により前記 S O I 層の厚み方向の中央部に導入する第 3 の工程と、

次に、前記 S O I 基板に加熱処理を行って、前記第 1 のボディ領域および前記第 2 のドレインオフセット領域を前記 S O I 層の表面から前記埋込酸化膜に達す



るように深く形成する一方、高エネルギー注入した前記逆導電型不純物を前記SOI層の厚み方向の中央部が最大の不純物濃度となり前記SOI層の表面および底部近傍まで広がらせて逆導電型の第1のドレインオフセット領域および、逆導電型の第2のボディ領域を同時に形成する第4の工程とを少なくとも含む半導体装置の製造方法。

【請求項7】 第3の工程における高エネルギー注入は、逆導電型不純物を加速電圧0.8～3MeVの範囲でイオン注入するものであることを特徴とする請求項4～6までの何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特にSOI (Silicon On Insulator) 基板にMOSトランジスタを形成した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、PchトランジスタやNchトランジスタをSOI基板に形成したMOS構造の半導体装置が各種の用途に利用されている。特に、プラズマディスプレイの駆動回路に利用される半導体装置では、高耐圧特性が要求されるため、オフセット構造のMOSトランジスタを採用することが特許文献1で提案されている。

【0003】

以下、従来の半導体装置について図面を参照しながら詳細に説明する。図11は、従来の半導体装置の断面構造図であり、オフセット構造を有したMOSトランジスタであるNチャネルトランジスタ) およびPチャネルトランジスタを1つのSOI基板に形成している。

【0004】

図11において、1は支持基板、2は埋込酸化膜、3はSOI層、4はトレンチ分離領域であり、SOI層3はトレンチ分離領域4a, 4b, 4c, 4dによ

って絶縁分離されて、SOI領域3a, 3b, 3cが形成されている。また、5a, 5b, 5c, 5dおよび28はLOCOS法により形成されたフィールド酸化膜、6は絶縁膜である。

## 【0005】

支持基板1およびSOI層3は、元々は個別のシリコン単結晶基板であるが、埋込酸化膜2を介して接合されて1つのSOI基板を構成しており、それぞれに低濃度のP型不純物が導入されている。

## 【0006】

また、図11中の左側にあるSOI領域3a内には、Nチャネルトランジスタが構成されており、11は高濃度のP型不純物によって形成されたバックゲートコンタクト領域、12は金属製のソース電極、13は高濃度のN型不純物によって形成されたソース領域、14aは多結晶シリコン製のゲート電極、14bは金属製のゲート電極、15は金属製のドレイン電極、16はP型不純物で形成されたボディ領域、18はゲート酸化膜、19は低濃度のN型不純物によって形成されたドレインオフセット領域、20は高濃度のN型不純物によって形成されたドレインコンタクト領域であり、これらはNチャネルトランジスタを構成するものである。

## 【0007】

そして、Nチャネルトランジスタは、支持基板1上の埋込酸化膜2の上に低濃度P型不純物によって形成されたSOI層3の所定領域をトレンチ分離領域(4a, 4b)で包囲して、周辺の素子と絶縁分離されたSOI領域3aを形成することにより、そのSOI領域3a内に作り込まれている。

## 【0008】

P型のボディ領域16は、中程度の不純物濃度によってSOI領域3aの表面に浅く形成されるものであり、表面濃度が濃くて、表面から遠ざかるほど不純物濃度が低くなるプロファイルを有している。ボディ領域16内の表面に形成された高濃度N型のソース領域13は、ボディ領域16と電氣的に接続されている。その電氣的接続の接触を良好にするために高濃度P型のバックゲートコンタクト領域11が設けられており、ソース電極12によってソース領域13とボディ領

域 1 6 とが接続されている。

【 0 0 0 9 】

また、N型のドレインオフセット領域 1 9 は、リンをイオン注入して形成されたNウェルであり、SOI層 3 の表面が最大の不純物濃度となり、表面から遠ざかるほど不純物濃度が低くなるプロファイルを有している。そして、SOI領域 3 a 内におけるボディ領域 1 6 に隣接した位置に形成されている。ドレインオフセット領域 1 9 内の表面にはドレインコンタクト領域 2 0 が形成され、ドレイン電極 1 5 と接続されている。

【 0 0 1 0 】

また、SOI領域 3 a 上におけるソース領域 1 3 とドレインコンタクト領域 2 0 との間のドレインコンタクト領域 2 0 寄りにフィールド酸化膜 5 a が形成されており、同じくソース領域 1 3 寄りにゲート酸化膜 1 8 が形成されており、そのゲート酸化膜 1 8 とフィールド酸化膜 5 a の一部とに渡ってそれらの上にゲート電極 1 4 a が形成されている。ゲート電極 1 4 a は、ソース領域 1 3 の近傍での電界集中が起きにくくするために、フィールド酸化膜 5 a の一部と重複する位置に設けられており、一種のフィールドプレートの役割も果たしている。

【 0 0 1 1 】

図 1 1 中の右側にあるSOI層 3 b 内には、Pチャネルトランジスタが構成されており、2 1 は高濃度のN型不純物によって形成されたバックゲートコンタクト領域、2 2 は金属製のソース電極、2 3 は高濃度のP型不純物によって形成されたソース領域、2 4 a は多結晶シリコン製のゲート電極、2 4 b は金属製のゲート電極、2 5 は金属製のドレイン電極、2 6 は低濃度のN型不純物で形成されたボディ領域、2 7 は高濃度のP型不純物によって形成されたソース領域、2 8 はゲート酸化膜の機能を兼ねたフィールド酸化膜、2 9 はP型不純物によって形成されたドレインオフセット領域、3 0 は高濃度のP型不純物によって形成されたドレインコンタクト領域であり、これらはPチャネルトランジスタを構成するためのものである。

【 0 0 1 2 】

そして、Pチャネルトランジスタは、支持基板 1 上の埋込酸化膜 2 の上に形成

されたSOI層3の所定領域をトレンチ分離領域4c、4dで包囲することにより、周辺の素子と絶縁分離されたSOI領域3bの内部に作り込まれている。

## 【0013】

P型のドレインオフセット領域29は、ボロンのイオン注入とその後の加熱処理によって、SOI領域3bの表面に浅く形成されるものであり、表面濃度が濃くて、表面から遠ざかるほど濃度が低くなるプロファイルを有している。ドレインオフセット領域29内の表面に形成された高濃度N型のドレインコンタクト領域30は、ドレインオフセット領域29とドレイン電極25との電氣的接続を良好にするために設けられている。

## 【0014】

## 【特許文献1】

特許第3111947号公報（図1、それに関する説明）

## 【0015】

## 【発明が解決しようとする課題】

上述した従来の半導体装置では、ドレインオフセット領域19の延在距離を大きくすることにより、Nチャネルトランジスタのドレイン・ソース間の耐圧を増大させている。しかしながら、表面付近が最大の不純物濃度となるドレインオフセット領域19を採用していたため、ドレインオフセット領域19を形成した後に、フィールド酸化膜5aを形成すると、不純物濃度の濃い部分がフィールド酸化膜5aに食われてしまい、フィールド酸化膜5a直下に残ったドレインオフセット領域19の不純物濃度が低いため、フィールド酸化膜5a直下の抵抗成分が増大し、Nチャネルトランジスタのオン抵抗が増大するという問題があった。

## 【0016】

このオン抵抗の増大を抑制するために、ドレインオフセット領域19の延在距離（ドレインコンタクト領域20からゲート電極14a直下のドレインオフセット領域19端部までの距離）を小さくすると、十分な耐圧特性が得られないという問題点もあった。PDP（プラズマ・ディスプレイ・パネルの略称）用ICの出力トランジスタとして用いられるNチャネルトランジスタは高耐圧特性だけでなく、駆動電流能力も必要であり、その両方の特性を如何に満足するかが課題で

あった。

【0017】

また、Nチャネルトランジスタのオン抵抗を小さくする第2の手段として、延在方向と直交する横方向の距離を大きくする手段が考えられるが、デバイスの大きさ（平面方向の面積）が大きくなり、支持基板1とSOI領域3aとの間の寄生容量が大きくなるため、トランジスタのスイッチング特性が損なわれるという問題が生じる。

【0018】

このような問題は、半導体素子のスイッチング動作の高速化を図るために、現在実用化されている5～6 $\mu$ m厚のSOI層の厚みを薄くして、SOI領域3a、3bの寄生容量を小さくしようとする時、特に顕著に現れる。

【0019】

一方、Pチャネルトランジスタは、その出力トランジスタをプリドライブする回路に使用されるため、駆動電流能力はあまり必要ないが、高耐圧特性は必要である。そして、ドレイン・ソース間耐圧の他にゲート耐圧も必要であるが、後者の耐圧はゲート酸化膜として膜厚の厚いフィールド酸化膜を採用することにより対処することができる。

【0020】

本発明の目的は、小さいオン抵抗と高耐圧特性を満足する半導体装置およびその製造方法を提供することにある。

【0021】

【課題を解決するための手段】

以上の課題を解決するために、本発明の半導体装置は、支持基板上の埋込酸化膜の上に形成された低濃度一導電型のSOI層と、前記SOI層の所定領域を包囲して絶縁分離された第1のSOI領域内に前記SOI層の表面から前記埋込酸化膜の近傍まで深く形成された一導電型の第1のボディ領域と、前記第1のボディ領域内の表面に形成された逆導電型の第1のソース領域と、前記SOI層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記SOI層の表面および底部近傍まで広がるように、前記第1のSOI領域内における前記第1のボ

ディ領域に隣接した位置に形成された逆導電型の第1のドレインオフセット領域と、前記第1のドレインオフセット領域内の表面に形成された逆導電型の第1のドレインコンタクト領域と、前記第1のSOI領域上における前記第1のソース領域と、前記第1のドレインコンタクト領域との間の前記第1のソース領域寄りに形成された第1のゲート電極とを備えている。

## 【0022】

また、第2の発明の半導体装置は、支持基板上の埋込酸化膜の上に形成された低濃度一導電型のSOI層と、前記SOI層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記SOI層の表面および底部近傍まで広がるように、前記SOI層の所定領域を包囲して絶縁分離された第2のSOI領域内に形成された逆導電型の第2のボディ領域と、前記第2のボディ領域内の表面に形成された一導電型の第2のソース領域と、前記第2のSOI領域内における第2のボディ領域と離間した位置に形成された一導電型の第2のドレインオフセット領域と、前記第2のドレインオフセット領域内の表面に形成された一導電型の第2のドレインコンタクト領域と、前記第2のSOI領域内における前記第2のソース領域と前記第2のドレインコンタクト領域との間の表面に形成されたフィールド酸化膜と、前記第2のソース領域と連なり、かつ前記フィールド酸化膜の直下まで延在されて前記第2のボディ領域内に形成された第3のソース領域と、前記第3のソース領域と前記ドレインオフセット領域との間に位置する前記ボディ領域上のフィールド酸化膜の上に形成された第2のゲート電極とを備えている。

## 【0023】

また、第3の発明の半導体装置は、支持基板とSOI層とが埋込酸化膜を介して一体的に接合されたSOI基板の上に、第1導電型と第2導電型との一対のトランジスタが形成されている半導体装置において、前記第1導電型のトランジスタは、前記SOI層の所定領域を包囲して絶縁分離された第1のSOI領域内に前記SOI層の表面から前記埋込酸化膜の近傍まで深く形成された一導電型の第1のボディ領域と、前記第1のボディ領域内の表面に形成された逆導電型の第1のソース領域と、前記SOI層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記SOI層の表面および底部近傍まで広がるように、前記第1の

S O I 領域内における前記第 1 のボディ領域に隣接した位置に形成された逆導電型の第 1 ドレインオフセット領域と、前記第 1 のドレインオフセット領域内の表面に形成された逆導電型の第 1 のドレインコンタクト領域と、前記第 1 の S O I 領域上における前記第 1 のソース領域と、前記第 1 のドレインコンタクト領域との間の前記第 1 のソース領域寄りに形成された第 1 のゲート電極とを備えており、前記第 2 導電型のトランジスタは、前記 S O I 層の厚み方向の中央部が最大の不純物濃度となり、拡散広がり前記 S O I 層の表面および底部近傍まで広がるように、前記 S O I 層の所定領域を包囲して絶縁分離された第 2 の S O I 領域内に形成された逆導電型の第 2 のボディ領域と、前記第 2 のボディ領域内の表面に形成された一導電型の第 2 のソース領域と、前記第 2 の S O I 領域内における第 2 のボディ領域と離間した位置に形成された一導電型の第 2 のドレインオフセット領域と、前記第 2 のドレインオフセット領域内の表面に形成された一導電型の第 2 のドレインコンタクト領域と、前記第 2 の S O I 領域内における前記第 2 のソース領域と前記第 2 のドレインコンタクト領域との間の表面に形成されたフィールド酸化膜と、前記第 2 のソース領域と連なり、かつ前記フィールド酸化膜の直下まで延在されて前記第 2 のボディ領域内に形成された第 3 のソース領域と、前記第 3 のソース領域と前記ドレインオフセット領域との間に位置する前記ボディ領域の上に位置するフィールド酸化膜上に形成された第 2 のゲート電極とを備えている。

## 【 0 0 2 4 】

第 4 の発明である本発明の半導体装置の製造方法は、S O I 基板上に第 1 導電型のトランジスタを形成する製造方法であって、前記 S O I 基板における低濃度一導電型の S O I 層の所定領域を包囲するように絶縁分離して第 1 の S O I 領域を形成する第 1 の工程と、前記第 1 の S O I 領域内における所定領域の表面に第 1 のボディ領域形成用の一導電型不純物をイオン注入で導入する第 2 の工程と、前記第 1 の S O I 領域内における前記第 1 のボディ領域から離間した所定領域に第 1 のドレインオフセット領域形成用の逆導電型不純物を、高エネルギー注入により前記 S O I 層の厚み方向の中央部に導入する第 3 の工程と、次に、前記 S O I 基板に加熱処理を行って、一導電型の第 1 のボディ領域を前記 S O I 層の表面か

ら前記埋込酸化膜に達するように深く形成する一方、高エネルギー注入した前記逆導電型不純物を前記SOI層の厚み方向の中央部が最大の不純物濃度となり前記SOI層の表面および底部近傍まで広がらせて逆導電型の第1のドレインオフセット領域を形成する第4の工程とを少なくとも含むものである。

【0025】

また、第5の発明の半導体装置の製造方法は、SOI基板上に第2導電型のトランジスタを形成する製造方法であって、前記SOI基板における低濃度一導電型のSOI層の所定領域を包囲するように絶縁分離して第2のSOI領域を形成する第1の工程と、前記第2のSOI領域内における所定領域の表面に第2のドレインオフセット領域形成用の一導電型不純物をイオン注入で導入する第2の工程と、前記第2のSOI領域内における前記第2のドレインオフセット領域から離間した所定領域に第2のボディ領域形成用の逆導電型不純物を、高エネルギー注入により前記SOI層の厚み方向の中央部に導入する第3の工程と、次に、前記SOI基板に加熱処理を行って、前記第2のドレインオフセット領域を前記SOI層の表面から前記埋込酸化膜に達するように深く形成する一方、高エネルギー注入した前記逆導電型不純物を前記SOI層の厚み方向の中央部が最大の不純物濃度となり前記SOI層の表面および底部近傍まで広がらせて逆導電型の第2のボディ領域を形成する第4の工程とを少なくとも含むものである。

【0026】

第6の発明の半導体装置の製造方法は、SOI基板上に第1導電型および第2導電型のトランジスタを形成する製造方法であって、前記SOI基板における低濃度一導電型のSOI層の所定領域をそれぞれ包囲するように絶縁分離して第1のSOI領域および第2のSOI領域を形成する第1の工程と、前記第1のSOI領域内における所定領域の表面に第1のボディ領域形成用の一導電型不純物を、前記第2のSOI領域内における所定領域の表面に第2のドレインオフセット領域形成用の一導電型不純物を、それぞれイオン注入で導入する第2の工程と、前記第1のSOI領域内における前記第1のボディ領域から離間した所定領域に第1のドレインオフセット領域形成用の逆導電型不純物を、第2のSOI領域内における前記第2のドレインオフセット領域から離間した所定領域に第2のボ



イ領域形成用の逆導電型不純物を、それぞれ高エネルギー注入により前記SOI層の厚み方向の中央部に導入する第3の工程と、次に、前記SOI基板に加熱処理を行って、前記第1のボディ領域および前記第2のドレインオフセット領域を前記SOI層の表面から前記埋込酸化膜に達するように深く形成する一方、高エネルギー注入した前記逆導電型不純物を前記SOI層の厚み方向の中央部が最大の不純物濃度となり前記SOI層の表面および底部近傍まで広がらせて逆導電型の第1のドレインオフセット領域および、逆導電型の第2のボディ領域を同時に形成する第4の工程とを少なくとも含むものである。

## 【0027】

## 【発明の実施の形態】

以下、本発明による実施の形態に係る半導体装置およびその製造方法について、図面を参照しながら詳細に説明する。なお、本発明は以下の実施形態に限定されない。

## 【0028】

## (第1の実施形態)

まず、図1を参照しながら実施形態に係る半導体装置について説明する。図1は、本実施形態の半導体装置の断面構造図であり、オフセット構造を有したMOSトランジスタであるNチャネルトランジスタ(第1導電型のトランジスタ)およびPチャネルトランジスタ(第2導電型のトランジスタ)を1つのSOI基板に形成している。

## 【0029】

図1において、1は支持基板、2は埋込酸化膜、3はSOI層、4はトレンチ分離領域であり、SOI層3はトレンチ分離領域4a、4b、4c、4dによって絶縁分離されて、SOI領域3a、3b、3cが形成されている。また、5a、5b、5c、5dおよび28はLOCOS法により形成されたフィールド酸化膜、6は絶縁膜である。

## 【0030】

支持基板1およびSOI層3は、元々は個別のシリコン単結晶基板であるが、埋込酸化膜2を介して接合されて1つのSOI基板を構成しており、それぞれに

低濃度のP型不純物としてボロン（一導電型不純物）が導入されている。

【0031】

また、図1中の左側にあるSOI領域3a内には、Nチャネルトランジスタ（第1導電型のトランジスタ）が構成されており、11は高濃度のP型不純物によって形成されたバックゲートコンタクト領域、12は金属製のソース電極、13は高濃度のN型不純物によって形成されたソース領域（第1のソース領域）、14aは多結晶シリコン製のゲート電極（第1のゲート電極）、14bは金属製のゲート電極、15は金属製のドレイン電極、16は低濃度のP型不純物で形成されたボディ領域（第1のボディ領域）、17は比較的濃度の濃いP型不純物で形成されたVt制御拡散層、18はゲート酸化膜、19は低濃度のN型不純物によって形成されたドレインオフセット領域（第1のドレインオフセット領域）、20は高濃度のN型不純物によって形成されたドレインコンタクト領域（第1のドレインコンタクト領域）であり、これらはNチャネルトランジスタを構成するものである。

【0032】

そして、Nチャネルトランジスタは、支持基板1上の埋込酸化膜2の上に低濃度P型不純物によって形成されたSOI層3の所定領域をトレンチ分離領域4a、4bで包囲して、周辺の素子と絶縁分離されたSOI領域3aを形成し、そのSOI領域3a内に作り込まれている。

【0033】

ボディ領域16は、低濃度のボロンによってSOI層3の表面から埋込酸化膜2の近傍まで深く形成されるものであり、いわゆるPウエルで形成され、表面濃度が比較的濃くて、表面から遠ざかるほど濃度が低くなるプロファイルを有している。ボディ領域16内の表面に形成された高濃度N型のソース領域13は、リン又は砒素によって形成され、ボディ領域16と電氣的に接続されている。その電氣的接続の接触を良好にするために高濃度P型のバックゲートコンタクト領域11が設けられており、ソース電極12によってソース領域13とボディ領域16とが接続されている。

【0034】

また、低濃度N型のドレインオフセット領域19は、リンを高エネルギー注入すると共に、その後の加熱処理によって形成される特殊なNウェルであり、SOI層3の厚み方向の中央部が最大の不純物濃度となり、拡散広がりSOI層3の表面および底部近傍まで広がるように、SOI領域3a内におけるボディ領域16に隣接した位置に形成されている。ドレインオフセット領域19内の表面はドレインコンタクト領域20が形成され、ドレイン電極15と接続されている。

## 【0035】

また、SOI領域3a上におけるソース領域13とドレインコンタクト領域20との間のドレインコンタクト領域20寄りにフィールド酸化膜5aが形成されており、同じくソース領域13寄りにゲート酸化膜18が形成されており、そのゲート酸化膜18とフィールド酸化膜5aの一部とに渡ってそれらの上にゲート電極14aが形成されている。ゲート電極14aは、ソース領域13の近傍での電界集中が起きにくくするために、フィールド酸化膜5aの一部と重複する位置に設けられており、一種のフィールドプレートの役割も果たしている。

## 【0036】

なお、ソース領域13と重複するようにボディ領域16内に比較的高濃度のP型不純物で形成されたV<sub>t</sub>制御拡散層17は、Nチャネルトランジスタの閾値電圧V<sub>t</sub>を最適値に設定するために形成するものであり、必ずしも必要なものではない。

## 【0037】

以上のように構成されたNチャネルトランジスタは、オン動作したときに流れる電流が主にドレインオフセット領域19内の高濃度部を流れるが、その高濃度部がSOI層3の厚み方向の中央部に位置するため、ドレインオフセット領域19の高濃度部がフィールド酸化膜5aに殆ど食われないため、トランジスタのオン抵抗を小さくすることができる。また、ボディ領域16内の高濃度部が表面近傍にあり、ドレインオフセット領域19内の高濃度部がSOI層3の厚み方向の中央部にあることから、これら高濃度部同士のぶつかり合いがSOI層3の厚み方向に避けられると共に、ドレインオフセット領域19もボディ領域16も不純物濃度の低いウェルで形成されるため、それらを隣接して形成しても、ドレイン

オフセット領域19からボディ領域16に至る領域の濃度勾配（単位距離当たりの不純物濃度の変化量）を小さくすることができ、局所的な電界集中が避けられ、高耐圧特性を発揮することができる。従って、このNチャネルトランジスタは、ゲート酸化膜の膜厚が薄いためにゲート耐圧は低い、ドレイン・ソース間耐圧が大きく、かつオン抵抗の小さいトランジスタ特性を得ることができる。また、従来のトランジスタと同じ電流能力でも良いのであれば、トランジスタの平面形状を小さくすることが可能であり、トランジスタ形状を小さくすることにより、トランジスタに付随する寄生容量を小さくして、トランジスタのスイッチング動作の高速化を図ることも可能になる。

## 【0038】

図1中の右側にあるSOI層3b内には、Pチャネルトランジスタ（第2導電型のトランジスタ）が構成されており、21は高濃度のN型不純物によって形成されたバックゲートコンタクト領域、22は金属製のソース電極、23は高濃度のP型不純物によって形成されたソース領域（第2のソース領域）、24aは多結晶シリコン製のゲート電極（第2のゲート電極）、24bは金属製のゲート電極、25は金属製のドレイン電極、26は低濃度のN型不純物で形成されたボディ領域（第2のボディ領域）、27は高濃度のP型不純物によって形成されたソース領域（第3のソース領域）、28はゲート酸化膜の機能を兼ねたフィールド酸化膜、29は低濃度のP型不純物によって形成されたドレインオフセット領域（第2のドレインオフセット領域）、30は高濃度のP型不純物によって形成されたドレインコンタクト領域（第2のドレインコンタクト領域）であり、これらはPチャネルトランジスタを構成するためのものである。

## 【0039】

そして、Pチャネルトランジスタは、支持基板1上の埋込酸化膜2の上に形成されたSOI層3の所定領域をトレンチ分離領域4c、4dで包囲することにより、周辺の素子と絶縁分離されたSOI領域3bの内部に作り込まれている。

## 【0040】

低濃度P型のドレインオフセット領域29は、ボロンのイオン注入とその後の加熱処理によって、SOI層3の表面から埋込酸化膜2の近傍まで深く形成され

るものであり、いわゆるPウエルで形成され、表面濃度が比較的濃くて、表面から遠ざかるほど濃度が低くなるプロファイルを有している。従って、前述したNチャネルトランジスタのボディ領域16と同じ拡散工程で同時に形成することが可能である。ドレインオフセット領域29内の表面に形成された高濃度N型のドレインコンタクト領域30は、リン又は砒素によって形成され、ドレインオフセット領域29とドレイン電極25との電氣的接続を良好にするために設けられている。

## 【0041】

また、低濃度N型のボディ領域26は、リンを高エネルギー注入して形成される特殊なNウエルであり、SOI層3の厚み方向の中央部が最大の不純物濃度となり、拡散広がりがあるSOI層3の表面および底部近傍まで広がるように形成されており、SOI領域3b内におけるドレインオフセット領域29から離間した位置に在る。また、ボディ領域26内の表面には高濃度N型のバックゲートコンタクト領域21および高濃度P型のソース領域（第2のソース領域）23が形成され、これらはソース電極22と接続されている。更に、第3のソース領域27が存在しており、第3のソース領域27は、第2のソース領域23と連なり、かつフィールド酸化膜28の直下まで延在されてボディ領域26内の表面に形成されている。なお、第3のソース領域27は、第2のソース領域23とは別の拡散工程で形成されるものであり、本文中では説明を割愛した低耐圧のCMOS（図示せず）をも含めて同一のSOI基板に形成する場合、その低耐圧のCMOSに用いられたフィールド酸化膜（図示せず）直下に形成されるチャンネルストッパ（図示せず）と同一の拡散工程で形成しても構わない。

## 【0042】

また、SOI領域3b上における第2のソース領域23とドレインコンタクト領域30との間にはフィールド酸化膜5d、28が形成されており、ゲート電極24aは、第3のソース領域27とドレインオフセット領域29との間に位置するボディ領域26の部分に位置するフィールド酸化膜28の上に形成されており、フィールド酸化膜28はPチャネルトランジスタ用のゲート酸化膜の役割も果たしている。フィールド酸化膜28はその膜厚が通常のゲート酸化膜に比べて桁

違いに大きいため、ゲート耐圧は極めて大きいものとなる。

【0043】

以上のように構成されたPチャネルトランジスタは、ゲート電極24a直下のフィールド酸化膜28の厚みが大きいため、極めて大きなゲート耐圧を有している。また、ボディ領域26としてNウェルを、ドレインオフセット領域29としてPウェルを用いて構成しているため、第3のソース領域27からドレインコンタクト領域30に至るまでの不純物の濃度勾配が小さくなり、ドレイン・ソース間の耐圧を従来に比べて高めることができる。また、オン抵抗が小さい高耐圧のNチャネルトランジスタ用の拡散工程と、Pチャネルトランジスタ用の拡散工程とを兼用して、NチャネルとPチャネルの2種類のトランジスタを1つのSOI基板にローコストで集積化することが可能である。

【0044】

なお、NチャネルトランジスタとPチャネルトランジスタとを同一のSOI基板に形成する場合のトレンチ分離領域4は、低耐圧仕様の場合と高耐圧仕様の場合とで構成を異ならせる方が好ましく、例えば、50V以下の低耐圧仕様の場合には、NチャネルトランジスタとPチャネルトランジスタとの間にはトレンチ分離領域4が1つ存在すれば、電氣的絶縁が保たれる。しかし、80V～200Vのような高耐圧仕様の場合には、2つのトレンチ分離領域4bと4cとの間にSOI領域3cを形成して、そのSOI領域3cにNチャネルおよびPチャネルトランジスタに与えられる最高電位と最低電位との中間電位を与えると、高電圧による回路動作でも電氣的絶縁を保つことができる。

【0045】

(第2の実施形態)

次に、上述した実施形態の半導体装置を製造する方法について、図面を参照しながら詳細に説明する。

【0046】

図2から図10までの各図は本発明の実施形態に係る半導体装置の製造方法を説明するための図であり、図1に示す半導体装置を製造する各段階の工程断面図である。便宜上、ここでは、SOI層3の厚みが3.5 $\mu$ m厚のSOI基板を用

いた事例で説明する。

【0047】

先ず、支持基板1の上に埋込酸化膜2が形成され、更に埋込酸化膜2の上にS O I層3が形成されたS O I基板を準備する（図2を参照）。

【0048】

次に、S O I層3の表面上にレジスト7を塗布形成した後、そのレジスト7における第1の所定箇所（Nチャネルトランジスタ用のボディ領域16の対応した領域）および、第2の所定箇所（Pチャネルトランジスタ用のドレインオフセット領域29に対応した領域）を開口した後に、開口部を形成した厚さ約1  $\mu$ mのレジスト7をマスクとして、S O I層3の表面側からS O I層3の内部に向けてP型不純物であるボロンを50～200 KeV程度の低い加速電圧（通常レベルの加速電圧）でイオン注入する。通常レベルの加速電圧によるイオン注入では、イオンを打ち込む加速エネルギーが小さいため、注入されたボロンはS O I層3表面のごく浅い箇所に存在する。この状態では、拡散層として活性化していない（図3を参照）。イオン注入が完了したら、マスクとして使ったレジスト7をエッチングして除去する。

【0049】

次に、厚さの厚いレジスト8をS O I層3の表面上に形成する。レジスト8の厚みは2  $\mu$ m～3.5  $\mu$ mである。そして、レジスト8の第3の所定箇所（Nチャネルトランジスタ用のドレインオフセット領域19に対応した領域）と、第4の所定箇所（Pチャネルトランジスタ用のボディ領域26に対応した領域）とを開口する。開口したレジスト8をマスクとして、S O I層3の表面側から内部に向けてN型不純物であるリンを、800 KeV～3 MeVの高い加速電圧でイオン注入する。ここでは、このような高い加速電圧でイオン注入することを高エネルギー注入という。すると、S O I層3の表面から1～2  $\mu$ mの深さにリンが注入され、S O I層3の厚み方向の中央部にドレインオフセット領域形成用イオン群19aおよびボディ領域形成用イオン群26aが形成される（図4を参照）。これらのイオン群19a、26aは拡散層として活性化していない。そして、このイオン注入が完了すると、先程のレジスト8をエッチングして除去する。

## 【0050】

ここで、高エネルギー注入について詳細に説明する。不純物イオンが注入される深さは加速電圧に応じて変化し、加速電圧を大きくすると注入される不純物イオンは表面から深く入り込む。イオン注入は下地の材質に関係なく、材料の表面からほぼ同じ深さに不純物イオンが打ち込まれるため、表面から深い位置に不純物イオンを打ち込む高エネルギー注入を行う際には、イオン注入の不要箇所を厚いレジストでマスクする必要がある。従って、加速電圧を大きくする場合には、その加速電圧の大きさに応じてレジストを厚く形成する。レジストを厚くする方法は、レジスト原液の粘度を高めれば良いし、レジスト原液の塗布を複数回行う方法を採用してもよい。

## 【0051】

次に、SOI基板を $1100^{\circ}\text{C}$ ～ $1200^{\circ}\text{C}$ の高温で120分～180分間の加熱を施すドライブイン処理を施し、不活性状態の拡散層を活性化させてPウェルとNウェルを形成する。そして、そのPウェルによりボディ領域16およびドレインオフセット領域29を形成する一方、そのNウェルによりボディ領域26およびドレインオフセット領域19を形成する（図5を参照）。

## 【0052】

上述したボディ領域16およびドレインオフセット領域29を形成するNウェルでは、SOI層3の不純物濃度は表面付近が最大になり、表面から遠ざかるほど小さくなるプロファイルを有しており、ボディ領域26およびドレインオフセット領域19を形成するNウェルでは、高エネルギー注入した位置、即ち、SOI層3の厚み方向の中央部が最大の不純物濃度となり、そこからSOI層3の表面や、SOI層3の底部付近に向けて遠ざかるほど不純物濃度が低下するプロファイルを有している。ここで、中央部と定義するのは、SOI層3の厚みの $1/4$ から $3/4$ の範囲である。高エネルギー注入によって不純物がSOI層3の中に入り込む深さは、イオン注入するときの加速電圧レベルによって設定すればよい。

## 【0053】

次に、所定箇所を開口したレジスト（図示せず）をSOI層3の上に形成した後、P型不純物であるボロンをイオン注入し、そのイオン注入が完了したらレジ



スト（図示せず）を除去する。その後、加熱処理を施して高濃度P型のソース領域（第3のソース領域）27を形成する。

#### 【0054】

次に、フィールド酸化膜5a, 5b, 5c, 5d等を形成しないSOI層3の表面上にナイトライド膜（図示せず）を形成した後、水蒸気を導入しつつSOI基板に加熱処理を行って、ナイトライド膜（図示せず）が存在しない箇所にフィールド酸化膜5a, 5b, 5c, 5d等を形成する。この際、シリコンの酸化を進めてフィールド酸化膜の厚みが増大するに従ってSOI層3のシリコンがフィールド酸化膜に食われる現象が起きる。従って、フィールド酸化膜5a, 5b, 5c, 5d等を形成した後、ナイトライド膜（図示せず）を除去すると、端部がテーパ状になったフィールド酸化膜5a, 5b, 5c, 5d等がSOI層3の上に形成される（図6を参照）。このようなフィールド酸化膜5a, 5b, 5c, 5d等の形成方法をLOCOS法と称している。

#### 【0055】

次に、所定箇所を開口したレジスト（図示せず）をSOI層3上に形成した後、P型不純物であるボロンのイオン注入を行うことにより、ボディ領域16の表面に比較的高濃度のVt制御拡散層17を形成する。そして、膜厚の薄いゲート酸化膜を形成した後、さらにその上にアモルファス状のシリコンを堆積してから加熱処理を行うことによってポリシリコンを形成する。その後、そのポリシリコンをパターニングしてゲート電極14、24を形成する（図7を参照）。

#### 【0056】

SOI層3の上に所定箇所を開口したレジスト（図示せず）を形成した後、そのレジストをマスクにしてP型不純物であるボロンをイオン注入して高濃度P型のバックゲートコンタクト領域11、高濃度P型のソース領域23および高濃度P型のドレインコンタクト領域30を同時に形成する。そのイオン注入が完了した後、レジスト（図示せず）を除去する。同じ要領で、所定箇所を開口したレジストマスクを用いてN型不純物である砒素をイオン注入して高濃度N型のソース領域13、高濃度N型のドレインコンタクト領域20および高濃度N型のバックゲートコンタクト領域21を同時に形成する（図8を参照）。

## 【 0 0 5 7 】

次に、S O I 基板上に所定箇所を開口したレジストマスク（図示せず）を形成した後、S O I 層 3 のエッチングを行って S O I 基板の所定箇所に溝 4 0 を形成する（図 9 を参照）。

## 【 0 0 5 8 】

そして、溝 4 0 を含む S O I 基板の表面上に酸化膜を形成し、更にその上にポリシリコンを堆積して、溝 4 0 の表面上に酸化膜を有し、溝 4 0 の中心部にポリシリコンが充填されたトレンチ分離領域 4 a, 4 b, 4 c, 4 d を形成する（図 1 0 を参照）。

## 【 0 0 5 9 】

その後、S O I 基板上に絶縁膜 6 を形成し、その絶縁膜 6 の所定箇所を開口する。その上で、銅、アルミニウム等の金属を蒸着し、その金属膜をパターニングすることによって、ソース電極 1 2, 2 2、ゲート電極 1 4 b, 2 4 b およびドレイン電極 1 5, 2 5 を形成する。以上の工程を経て図 1 に示す本発明の半導体装置が完成する。

## 【 0 0 6 0 】

なお、以上に説明した実施形態の半導体装置の製造方法において、P ウエル用のイオン注入工程と、N ウエル用の高エネルギー注入工程との順番は、入れ替えて実施しても構わない。

## 【 0 0 6 1 】

## 【発明の効果】

以上に説明した半導体装置は、高耐圧特性を満足した上でオン抵抗の小さい第 1 導電型のトランジスタを実現できるため、従来と同じ電流能力で良いのであればトランジスタの面積を小さくすることが可能であり、トランジスタの寄生容量を小さくして、第 1 導電型のトランジスタのスイッチング動作を高速化することが可能である。また、ボディ領域とドレインオフセット領域との間における不純物の濃度勾配を小さくして第 1 導電型および第 2 導電型のトランジスタの高耐圧化を図ることができる。更には、高速動作する第 1 導電型のトランジスタと、第 2 導電型のトランジスタとを同一の S O I 基板に集積化することが可能である。

【 0 0 6 2 】

また、半導体装置の製造方法は、高エネルギー注入により S O I 層の厚さ方向の中央部が最大の不純物濃度となる N ウエルを形成して、第 1 導電型のトランジスタのオン抵抗を小さくすることができるだけでなく、ボディ領域とドレインオフセット領域との間における不純物の濃度勾配を小さくして第 1 導電型および第 2 導電型のトランジスタの高耐圧化を図ることができる。更に、高速動作する第 1 導電型のトランジスタと、第 2 導電型のトランジスタとを同一の S O I 基板に作り込むことができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体装置の断面構造図

【図 2】

本発明の一実施形態に係る半導体装置の製造方法を説明するための工程断面図

【図 3】

本発明の半導体装置の製造方法を説明するための図であり、図 2 に続く工程断面図

【図 4】

本発明の半導体装置の製造方法を説明するための図であり、図 3 に続く工程断面図

【図 5】

本発明の半導体装置の製造方法を説明するための図であり、図 4 に続く工程断面図

【図 6】

本発明の半導体装置の製造方法を説明するための図であり、図 5 に続く工程断面図

【図 7】

本発明の半導体装置の製造方法を説明するための図であり、図 6 に続く工程断面図

【図 8】

本発明の半導体装置の製造方法を説明するための図であり、図7に続く工程断面図

【図9】

本発明の半導体装置の製造方法を説明するための図であり、図8に続く工程断面図

【図10】

本発明の半導体装置の製造方法を説明するための図であり、図9に続く工程断面図

【図11】

従来の半導体装置の断面構造図

【符号の説明】

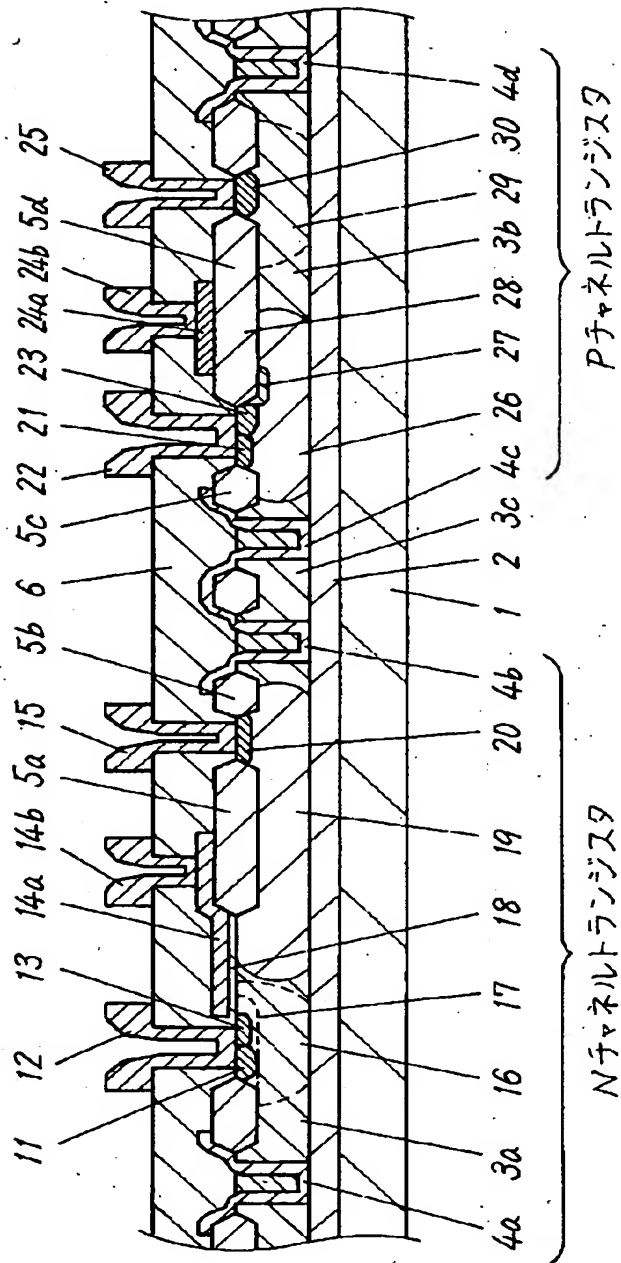
- 1 支持基板
- 2 埋込酸化膜
- 3 SOI層
- 3a, 3b, 3c SOI領域
- 4a, 4b, 4c, 4d トレンチ分離領域
- 5a, 5b, 5c, 5d, 28 フィールド酸化膜
- 6 絶縁膜
- 11 Nchトランジスタ用のバックゲートコンタクト領域
- 12 Nchトランジスタ用のソース電極
- 13 Nchトランジスタ用のソース領域（第1のソース領域）
- 14a, 14b Nchトランジスタ用のゲート電極
- 15 Nchトランジスタ用のドレイン電極
- 16 Nchトランジスタ用のボディ領域
- 17 Nchトランジスタ用のVt制御拡散層
- 18 Nchトランジスタ用のゲート酸化膜
- 19 Nchトランジスタ用のドレインオフセット領域
- 20 Nchトランジスタ用のドレインコンタクト領域
- 21 Pchトランジスタ用のバックゲートコンタクト領域

- 2 2 P c h トランジスタ用のソース電極
- 2 3 P c h トランジスタ用の第 2 のソース領域
- 2 4 a , 2 4 b P c h トランジスタ用のゲート電極
- 2 5 P c h トランジスタ用のドレイン電極
- 2 6 P c h トランジスタ用のボディ領域
- 2 7 P c h トランジスタ用の第 3 のソース領域
- 2 9 P c h トランジスタ用のドレインオフセット領域
- 3 0 P c h トランジスタ用のドレインコンタクト領域

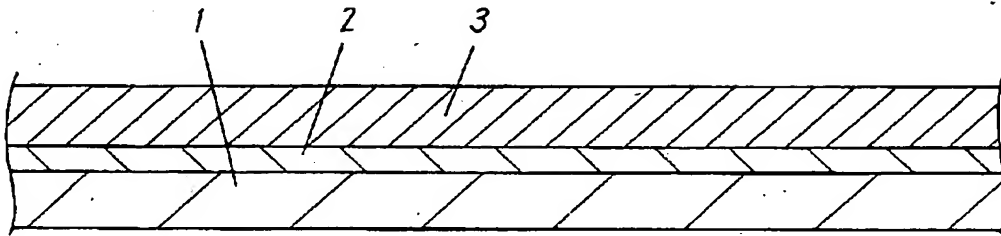
【書類名】

図面

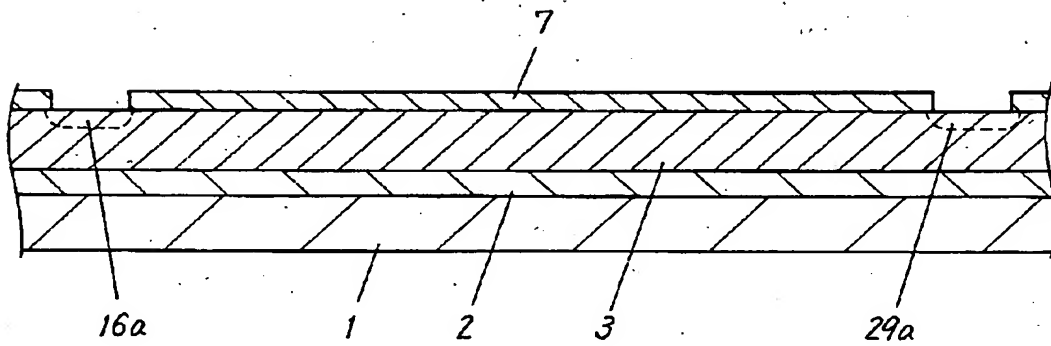
【図 1】



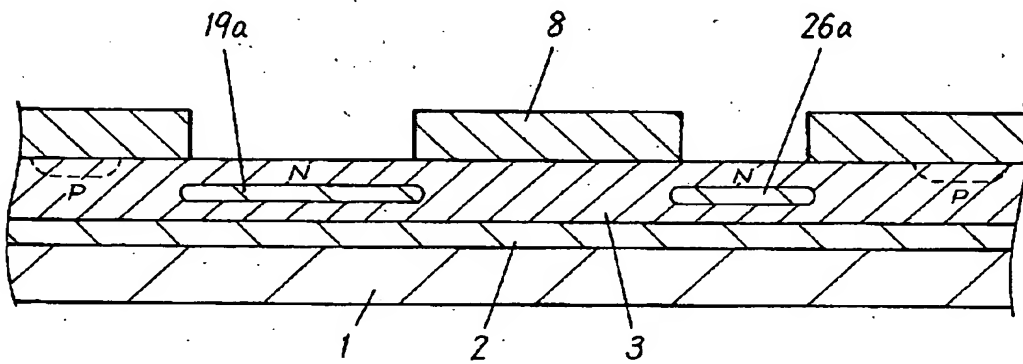
【図 2】



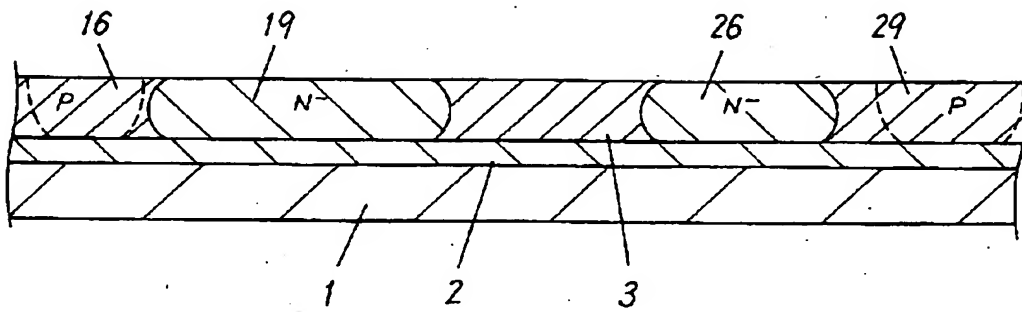
【図 3】



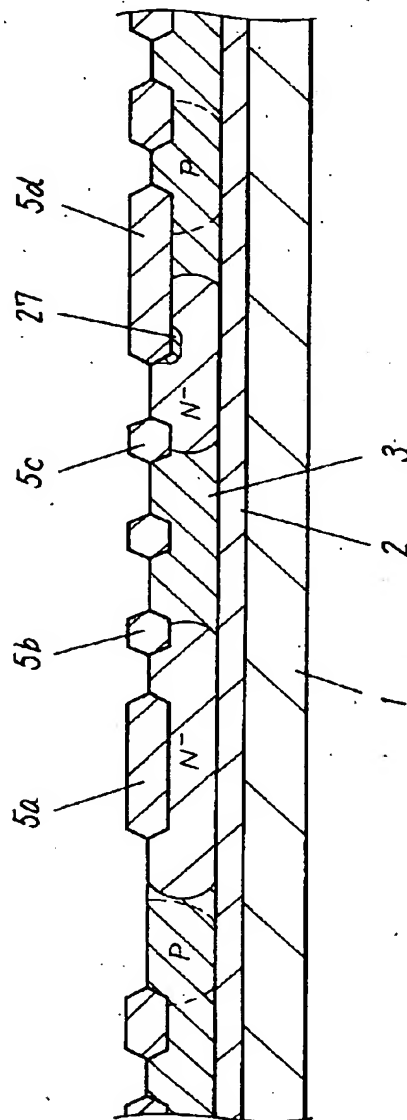
【図 4】



【図 5】

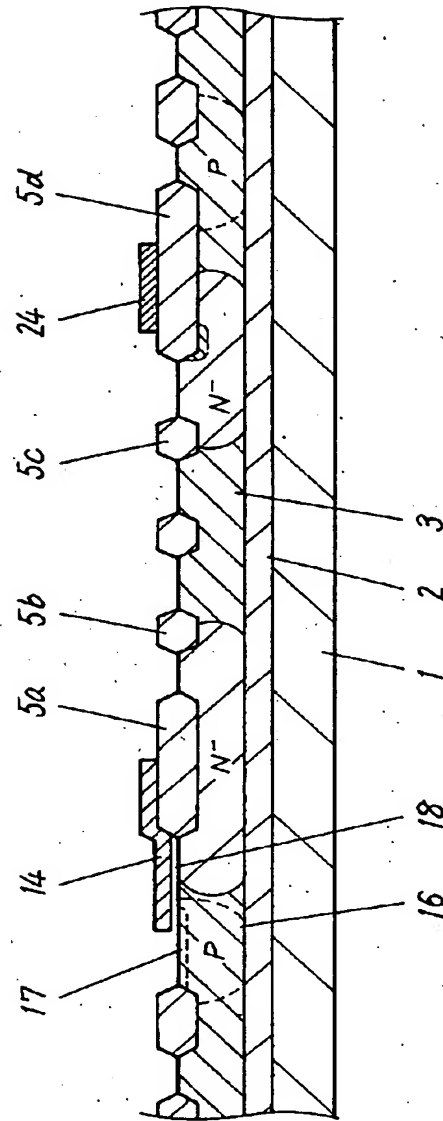


【図 6】

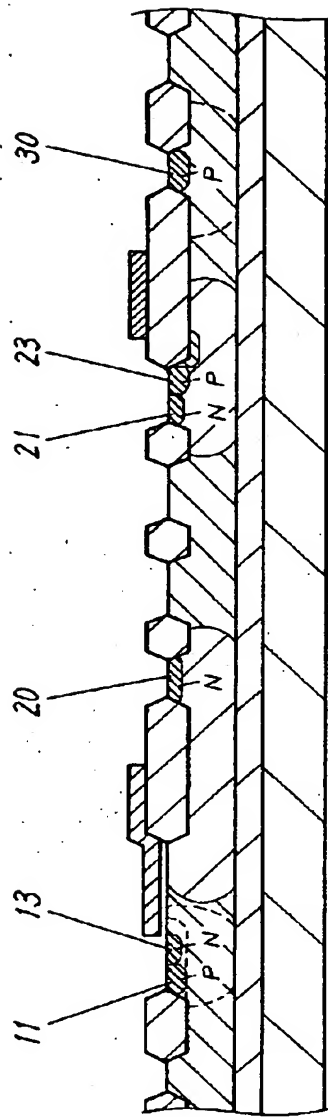




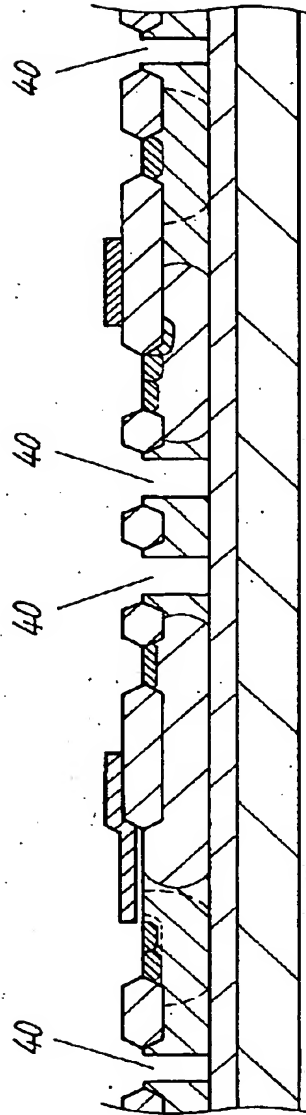
【図 7】



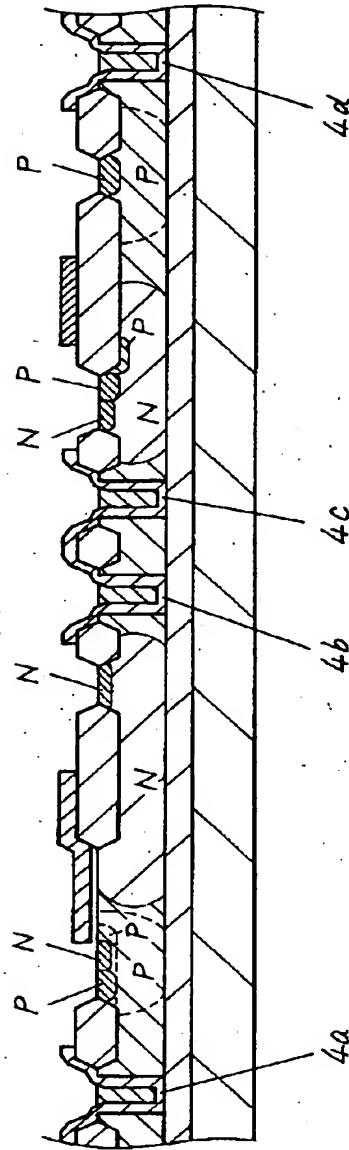
【図8】



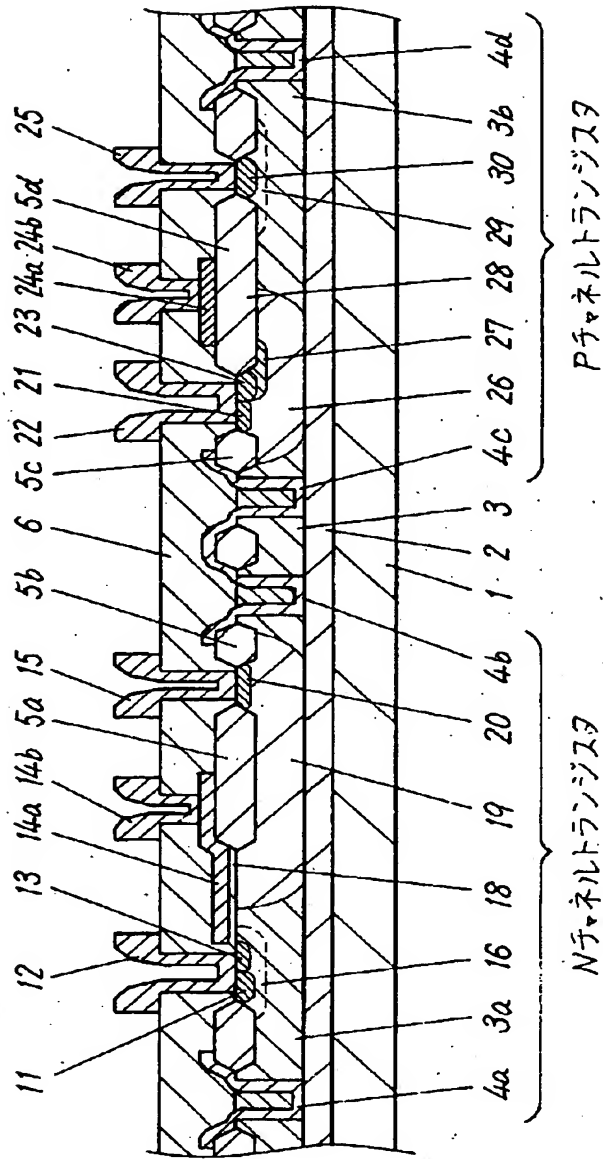
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 小さいオン抵抗と高耐圧特性を満足し、トランジスタ動作の高速化が図れる半導体装置およびその製造方法を提供する。

【解決手段】 高エネルギー注入によってSOI層の厚み方向の中央部が最大濃度となるNウェルによりドレインオフセット領域19とボディ領域26を形成し、通常のPウェルによりボディ領域16とドレインオフセット領域29を形成する。SOI領域3a内のボディ領域16とドレインオフセット領域19とでNchトランジスタを、SOI領域3b内のボディ領域26とドレインオフセット領域29とでPchトランジスタを構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社